

DENEY 1 Temel Lojik Kapıların Karakteristikleri

DENEYİN AMACI

1. Temel lojik kapıların sembollerini ve karakteristiklerini anlamak.
2. Temel lojik kapıların karakteristiklerini ölçmek.

GENEL BİLGİLER

Temel lojik kapıların giriş ve çıkış karakteristikleri aşağıda tanımlanmıştır:

V_{OH} = Yüksek seviye çıkış gerilimi

I_{OH} = Yüksek seviye çıkış akımı

V_{OL} = Düşük seviye çıkış gerilimi

I_{OL} = Düşük seviye çıkış akımı

V_{IH} = Yüksek seviye giriş gerilimi

I_{IH} = Yüksek seviye giriş akımı

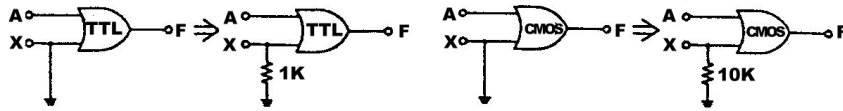
V_{IL} = Düşük seviye giriş gerilimi

I_{IL} = Düşük seviye giriş akımı

TTL kapıların karakteristikleri, CMOS kapılarınkilerden farklıdır. Aynı şekilde, kapılara bağlanan yük ve akım sınırlama dirençleri de farklıdır. Örneğin bir VE kapısı ve bir VEYA kapısı durumunda:

1. TTL ve CMOS Kapıların YÜKSEK ve ALÇAK Girişleri

CMOS kapıların girişi 10K Ω 'luk bir dirence bağlanırken, TTL girişleri, 1K Ω 'luk dirence bağlanır.



TTL kapıların "ALÇAK" girişi

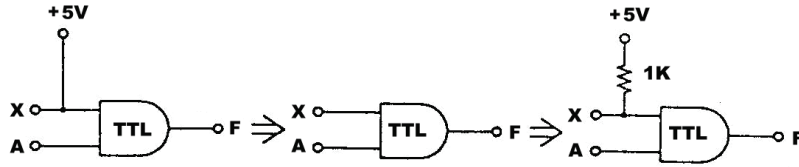
CMOS kapıların "ALÇAK" girişi

LS serisi TTL kapılar için direnç değeri yaklaşık olarak 5K Ω 'dur. Eğer bir TTL VEYA kapısının X girişi topraklanırsa, genişleme kontrolünü imkansız yapacak şekilde, F çıkışı A girişine eşit olur ($F=A$).

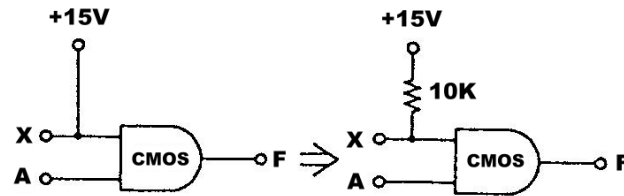
Eğer direnç topraklanmışsa ve X girişinde sinyal yoksa, bu durum X'in topraklanmasına eşdeğerdir ve $F=A'$ 'dır. Gerekirse, $F=A+X$ olacak şekilde, X girişine bir sinyal eklenebilir. Çıkış, X tarafından kontrol edilebilir.

2. VE Kapısı

TTL VE kapıları, açıkken (girişine sinyal bağlı değil) yada besleme gerilimine bir direnç bağlıyken, yüksek durumdadır. CMOS VE kapıları, besleme gerilimine en az 10K Ω 'luk bir direnç bağlıyken yüksek durumdadır.



TTL kapıların "YÜKSEK" girişi



CMOS kapıların "YÜKSEK" girişi

"Doğruluk Tablosu", bir lojik kapının, ideal şartlar altında, girişlerine karşılık gelen çıkışları gösteren bir tablodur.

3. VEYA Kapısı

DURUM	İRİŞLER		ÇIKIŞ F	Açıklama
	A	B		
0	0	0	0	A=0 B=0 iken, çıkış F=0
1	0	1	1	A=0 B=1 iken, çıkış F=1
2	1	0	1	A=1 B=0 iken, çıkış F=1
3	1	1	1	A=1 B=1 iken, çıkış F=1

Boolean ifadesi: $F = \overline{A}B + A\overline{B} + AB = A + B$

4. VE Kapısı

DURUM	İRİŞLER		ÇIKIŞ	Açıklama
	A	B	F	
0	0	0	0	A=0 B=0 iken, çıkış F=0
1	0	1	0	A=0 B=1 iken, çıkış F=0
2	1	0	0	A=1 B=0 iken, çıkış F=0
3	1	1	1	A=1 B=1 iken, çıkış F=1

Boolean ifadesi: $F=AB$

5. DEĞİL (NOT) Kapısı

DURUM	İRİŞ	ÇIKIŞ	Açıklama
	A	F	
0	0	1	A=0 iken, çıkış F=1
1	1	0	A=1 iken, çıkış F=0

Boolean ifadesi: $F = \overline{A}$

6. ÖZEL VEYA (XOR) Kapısı

DURUM	İRİŞLER		ÇIKIŞ
	A	B	F
0	0	0	0
1	0	1	1
2	1	0	1
3	1	1	0

A=B iken, çıkış F=0

A≠B iken, çıkış F=1

Boolean ifadesi: $F = \overline{A}B + A\overline{B} = A \oplus B$

7. VE DEĞİL (NAND) Kapısı

VE DEĞİL kapısının çıkışı, VE kapısının tamamen tersidir.

DURUM	GİRİŞLER		ÇIKIŞ	Açıklama
	A	B	F	
0	0	0	1	A=0 B=0 iken, çıkış F=1
1	0	1	1	A=0 B=1 iken, çıkış F=1
2	1	0	1	A=1 B=0 iken, çıkış F=1
3	1	1	0	A=1 B=1 iken, çıkış F=0

Boolean ifadesi: $F = \overline{AB}$

8. VEYA DEĞİL (NOR) Kapısı

VEYA DEĞİL kapısının çıkışı, VEYA kapısının tamamen tersidir.

DURUM	GİRİŞLER		ÇIKIŞ	Açıklama
	A	B	F	
0	0	0	1	A=0 B=0 iken, çıkış F=1
1	0	1	0	A=0 B=1 iken, çıkış F=0
2	1	0	0	A=1 B=0 iken, çıkış F=0
3	1	1	0	A=1 B=1 iken, çıkış F=0

Boolean ifadesi: $F = \overline{A+B} = \overline{A} \times \overline{B}$

Bu doğruluk tabloları, pozitif gerilimin lojik “1”, negatif gerilimin lojik “0” durumlarını temsil ettiği, pozitif lojik esasına dayalıdır. Negatif lojik durumunda çıkışlar ters çevrilecektir.

Aşağıda, pozitif ve negatif lojik için verilen VEYA kapısı doğruluk tablolarını karşılaştırın:

DURUM	GİRİŞLER		ÇIKIŞ	DURUM	GİRİŞLER		ÇIKIŞ
	A	B	F		$\bar{A}$	$\bar{B}$	$\bar{F}$
0	0	0	0	0	1	1	1
1	0	1	1	1	1	0	0
2	1	0	1	2	0	1	0
3	1	1	1	3	0	0	0

Negatif lojik için verilen VEYA kapısı doğruluk tablosunun, pozitif lojik VE kapısına eşdeğer olduğuna dikkat edin.

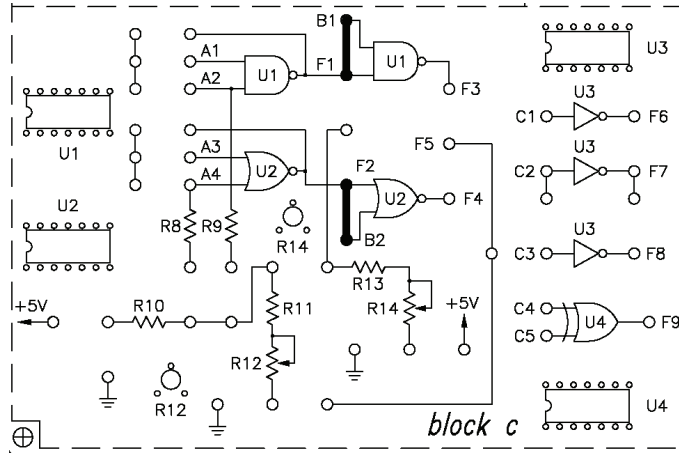
KULLANILACAK ELEMANLAR

1. KL-22001 Temel Elektrik Devreleri Deney Düzeneği
2. KL-26001 Kombinyonel Lojik Devre Deney Modülü (1)
3. Osiloskop

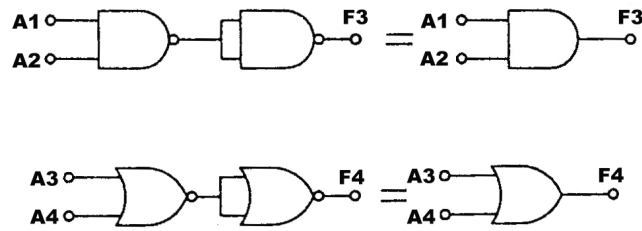
DENEYİN YAPILIŞI

A. VE Kapısı Karakteristiklerinin Ölçülmesi

1. Şekil 1-4-1'deki bağlantı diyagramı ve Şekil 1-4-2'deki devre yardımıyla gerekli bağlantıları yapın. +5VDC sabit güç kaynağını, KL-26002 modülüne bağlayın.



Şekil 1-4-1 Bağlantı diyagramı (KL-26001 blok c)

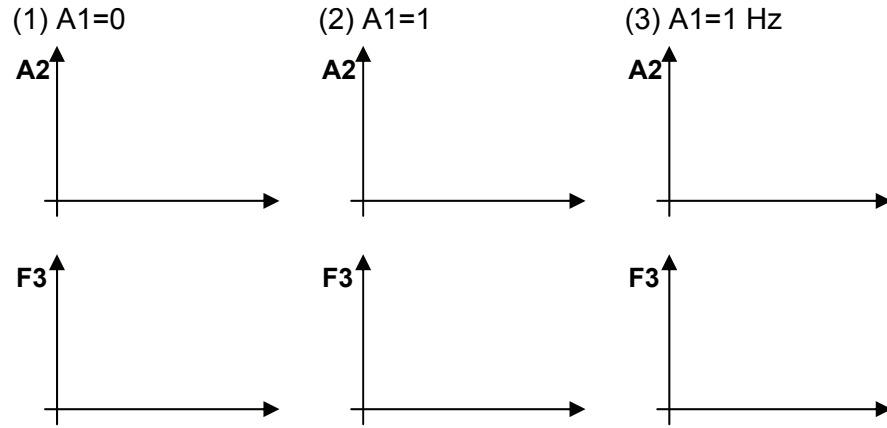


Şekil 1-4-2 VE ve VEYA kapılarının eşdeğer devreleri

2. A1 ve A2 girişlerini, SW0 ve SW1 veri anahtarlarına, F3 çıkışını ise L0 Lojik Göstergesine bağlayın. Aşağıdaki giriş dizilerini takip edin ve çıkışları kaydedin.

DURUM	A2	A1	F3
0	0	0	
1	0	1	
2	1	0	
3	1	1	

3. A2 girişine, Fonksiyon Üreticiden 10Hz'lik TTL seviye kare dalga uygulayın. Aşağıdaki A1'in giriş koşullarını takip edin (Saat Üreticiden 1Hz'lik kare olarak). Giriş ve çıkış dalga şekillerini ölçün ve kaydedin.

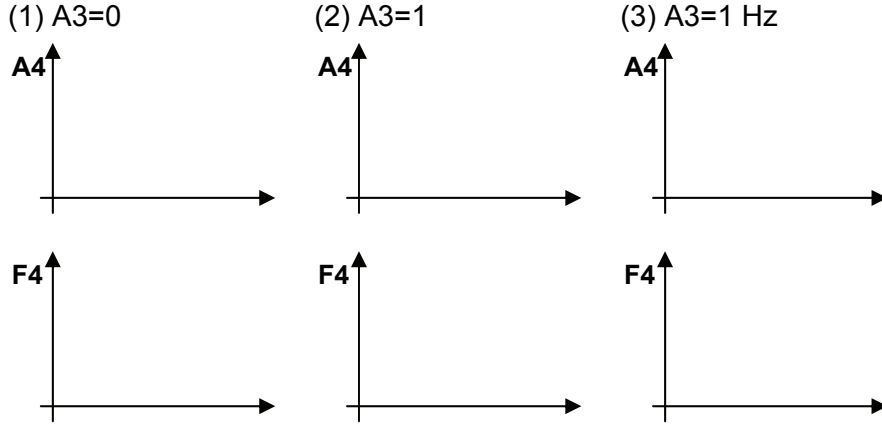


B. VEYA Kapısı Karakteristiklerinin Ölçümü

1. KL-26001 blok c'deki U2, bu kısımda kullanılacaktır.
2. A3, A4 girişlerini, SW0, SW1 veri anahtarlarına ve F4 çıkışını L1 Lojik Göstergesine bağlayın. Aşağıdaki giriş dizilerini takip edin ve F4 çıkışını kaydedin.

DURUM	A4	A3	F4
0	0	0	
1	0	1	
2	1	0	
3	1	1	

3. A4 girişine, Fonksiyon Üreticinden 10Hz'lik TTL seviye kare dalga uygulayın. Aşağıdaki A3'ün giriş koşullarını takip edin (Saat Üreticinden 1Hz'lik kare olarak). Giriş ve çıkış dalga şekillerini ölçün ve kaydedin.



C. DEĞİL Kapısı Karakteristiklerinin Ölçülmesi

1. U3'ün C1 girişini ve F6 çıkışını sırasıyla SW0 veri anahtarına ve L1 Lojik Göstergesine bağlayın. Aşağıdaki giriş dizilerini takip edin ve çıkışları kaydedin.

DURUM	C1	F6
0	0	
1	1	

2. F6'yı C2'ye bağlayın. F7 çıkışını, L2 Lojik Göstergesine bağlayın. Aşağıdaki giriş dizilerini takip edin ve çıkışları kaydedin.

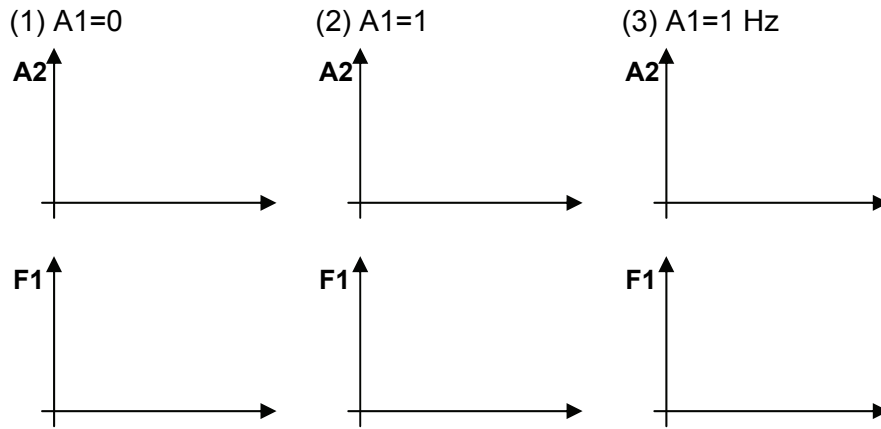
DURUM	C2	F7
0	0	
1	1	

D. VE DEĞİL Kapısı Karakteristiklerinin Ölçülmesi

1. Aşağıdaki ölçümlerde U1 kullanılacaktır. A1,A2 girişlerini, SW0, SW1 veri anahtarlarına, F1 çıkışını L1 Lojik Göstergesine bağlayın. Aşağıdaki giriş giriş dizilerini takip edin ve çıkışları kaydedin.

DURUM	A2	A	F1
0	0	0	
1	0	1	
2	1	0	
3	1	1	

2. A2 girişine, Fonksiyon Üreticiden 10Hz'lik TTL seviye kare dalga uygulayın. Aşağıdaki A1'in giriş koşullarını takip edin (Saat Üreticiden 1Hz'lik kare olarak). Giriş ve çıkış dalga şekillerini ölçün ve kaydedin.

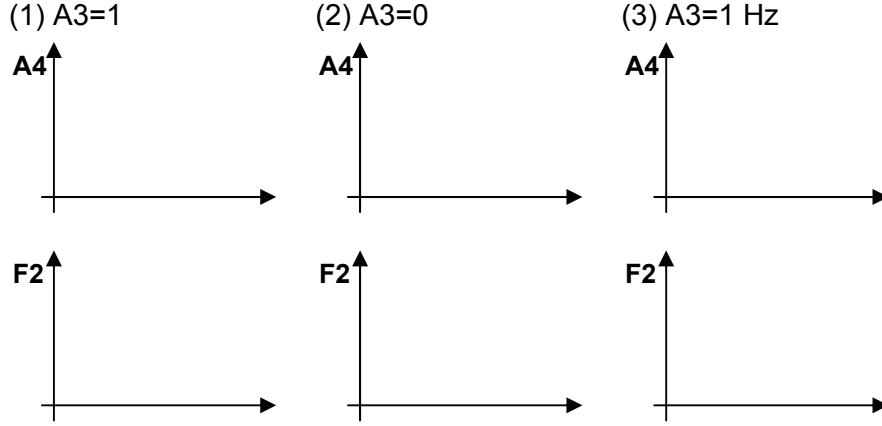


E. VEYA DEĞİL Kapısı Karakteristiklerinin Ölçülmesi

1. Aşağıdaki ölçümlerde U2 kullanılacaktır. A3,A4 girişlerini, SW0,SW1 veri anahtarlarına, F2 çıkışını L1 Lojik Göstergesine bağlayın. Aşağıdaki giriş dizilerini takip edin ve çıkışları kaydedin.

DURUM	A4	A	F2
0	0	0	
1	0	1	
2	1	0	
3	1	1	

2. A4 girişine, Fonksiyon Üreticiden 10Hz'lik TTL seviye kare dalga uygulayın. Aşağıdaki A3'ün giriş koşullarını takip edin (Saat Üreticiden 1Hz'lik kare olarak). Giriş ve çıkış dalga şekillerini ölçün ve kaydedin.



F. ÖZEL VEYA Kapısı Karakteristiklerinin Ölçülmesi

1. Aşağıdaki ölçümlerde U4 kullanılacaktır. C4,C5 girişlerini SW0,SW1 veri anahtarlarına, F9 çıkışını L1 Lojik Göstergesine bağlayın. Aşağıdaki giriş dizilerini takip edin ve çıktıları kaydedin.

DURUM	C5	C	F9
0	0	0	
1	0	1	
2	1	0	
3	1	1	

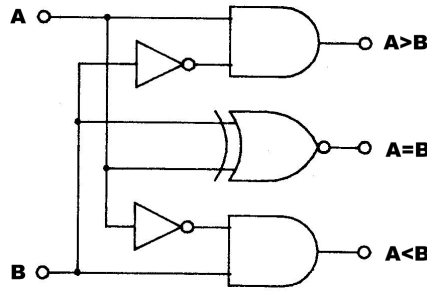
DENEY 2 Karşılaştırıcı Devreler

DENEYİN AMACI

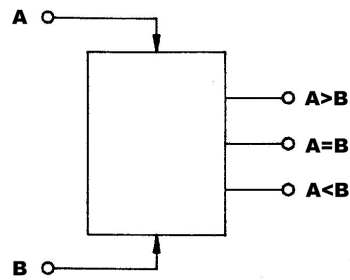
1. Dijital karşılaştırıcıların çalışma prensiplerini ve yapısını anlamak.
2. Temel kapılar ve tümdevreler ile karşılaştırıcılar gerçekleştirmek.

GENEL BİLGİLER

Bir karşılaştırma yapabilmek için en az iki sayı gereklidir. En basit karşılaştırıcı iki girişe sahiptir. Girişler A ve B olarak adlandırılırsa, üç olası çıkış söz konusudur: $A > B$; $A = B$; $A < B$. Şekil 2-5-1'de, basit bir karşılaştırıcının lojik diyagramı ve sembolü gösterilmiştir.



(a) Lojik diyagram



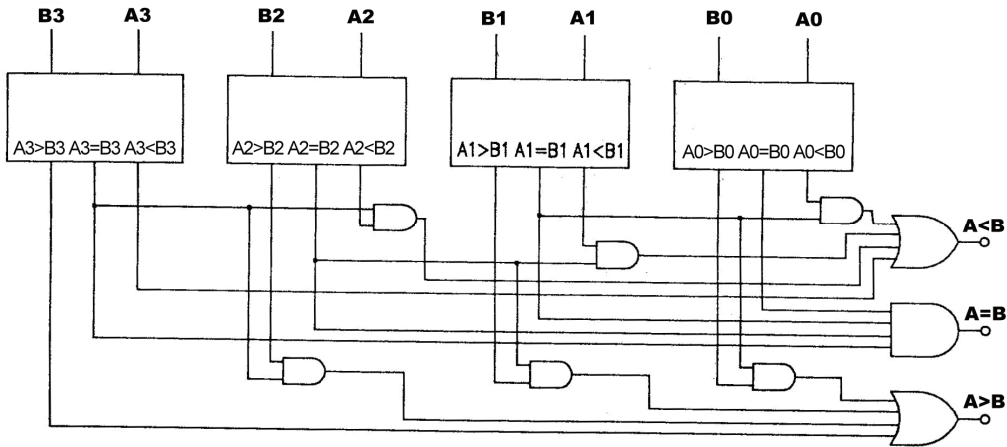
(b) Devre Sembolü

Şekil 2-5-1 Karşılaştırıcı

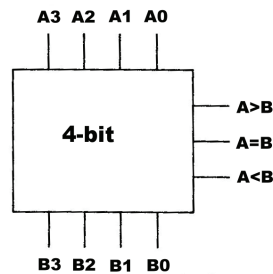
Şekil 2-5-1’de, 1-bitlik bir karşılaştırıcı gösterilmiştir. Gerçek uygulamalarda çoğunlukla 4-bitlik karşılaştırıcılar kullanılır. Daha büyük yada küçük olan girişleri belirleyen 4-bitlik karşılaştırıcı tümdevrelerden ikisi TTL7485 ve CMOS4063’tür. TTL 74689, sadece girişlerin eşit olup olmadığına bakan bir tümdevredir.

4-bitlik bir karşılaştırıcıda, her bit 2^0 , 2^1 , 2^2 , 2^3 basamaklarını temsil eder. Karşılaştırma en anlamlı bittten (2^3) başlar, eğer A girişinin en anlamlı biti B girişinkinden büyükse, “A>B” çıkışı yüksek durumda olur.

Eğer A ve B girişlerinin en anlamlı bitleri eşitse, karşılaştırmaya bir sonraki anlamlı bitle (2^2) devam edilir. Eğer yine sonuç alınamazsa, aynı işlem bir sonraki bitle tekrarlanır. En anlamsız bitle (2^0) girişler hala eşitse, “A=B” çıkışı yüksek durumda olur.



(a) Dört adet 1-bitlik karşılaştırıcı ile gerçekleştirilmiş



(b) Devre sembolü

Şekil 2-5-2 4-bitlik karşılaştırıcı

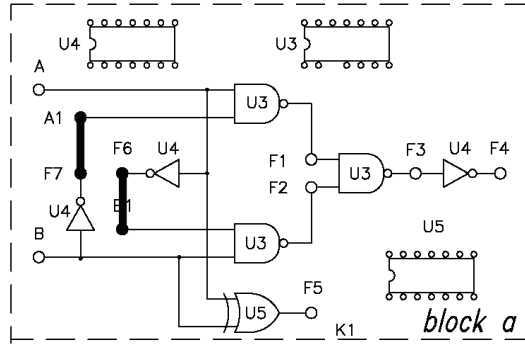
KULLANILACAK ELEMANLAR

1. KL-22001 Temel Elektrik Devreleri Deney Düzeneği
2. KL-26001 Kombinasyonel Lojik Devre Deney Modülü (1)
3. KL-26005 Kombinasyonel Lojik Devre Deney Modülü (5)

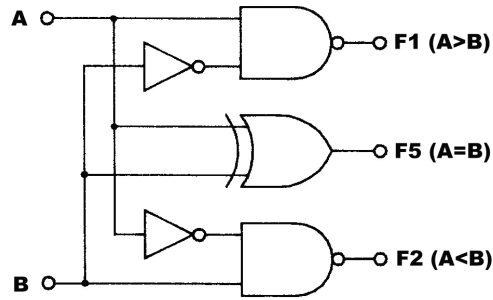
DENEYİN YAPILIŞI

A. Temel Lojik Kapılar ile Karşılaştırıcı Gerçekleştirilmesi

1. Şekil 2-5-2(a)'daki bağlantı diyagramı ve Şekil 2-5-2(b)'deki lojik diyagramına göre gerekli bağlantıları yapın.



(a) Bağlantı diyagramı (KL-26001 blok a)



(b) Lojik diyagramı

Şekil 2-5-2 1-bitlik karşılaştırıcı

2. Girişler, aktif yüksektir. A ve B girişlerini, SW1 ve SW2 veri anahtarlarına bağlayın. Çıkışlar, aktif alçaktır. F1, F2, F5 çıkışlarını sırasıyla L1, L2, L3 Lojik Göstergelerine bağlayın. +5VDC sabit güç kaynağını, KL-26002 modülüne bağlayın.
3. Tablo 2-5-1'deki giriş dizilerini takip edin. Çıkışları gözleyin ve kaydedin.

GİRİŞLER			ÇIKIŞLAR		
B (SW2)	A (SW1)		F1 (L1)	F2 (L2)	F5 (L3)
0	0	$A=B$			
0	1	$A>B$			
1	0	$A<B$			
1	1	$A=B$			

Tablo 2-5-1

DENEY 3-1 Yarım ve Tam Toplayıcı Devreler

DENEYİN AMACI

1. Aritmetik birimdeki yarım ve tam toplayıcıların karakteristiklerini anlamak.
2. Temel kapılar ve IC kullanarak yarım ve tam toplayıcı gerçekleştirmek.

GENEL BİLGİLER

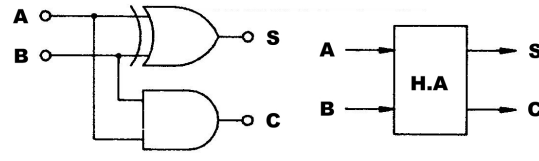
Toplama devreleri, “Yarım Toplayıcı” (YT) ve “Tam Toplayıcı” (TT) olarak ikiye ayrılır. Yarım toplayıcılar, 2’li toplama kurallarını takip eder ve sadece 1 bitin toplanmasını dikkate alır. Toplama sonucunda bir “elde” ve bir “toplam” elde edilir. 2’li toplamada, iki sayının toplamı 1’den büyükse “elde” meydana gelir. Aşağıdaki yarım toplayıcı ile yapılan 2’li toplama işlemlerini inceleyin.

$$\begin{array}{r} 1 \\ + 1 \\ \hline 10 \end{array} \quad \begin{array}{r} 1 \leftarrow \text{Önceki elde} \\ 10 \leftarrow \text{Toplanan} \\ + 10 \leftarrow \text{Toplanan} \\ \hline 100 \end{array}$$

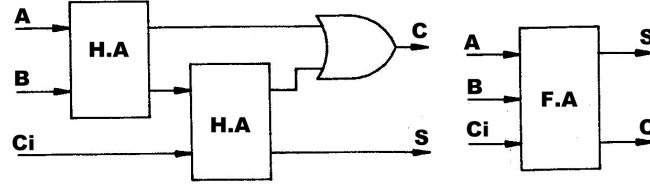
Elde $\uparrow$ $\uparrow$ Toplam Elde $\uparrow$ $\uparrow$ Toplam

“1” ile “1” toplandığında, toplam “0” ve elde “1” olur. Yarım-toplayıcının toplama işlemi, 1-bitlik sayılarla sınırlıdır.

Tam toplayıcı, 2-bitten daha uzun sayılar için toplama işlemi gerçekleştirebilir. Aşağıda gösterilen tam toplayıcı işlemlerini inceleyin. Tam toplayıcı, iki adet yarım toplayıcı kullanılarak gerçekleştirilebilir. Şekil 3-1-1’de, yarım ve tam toplayıcıların devreleri ve sembolleri gösterilmiştir.



(a) Yarım toplayıcı

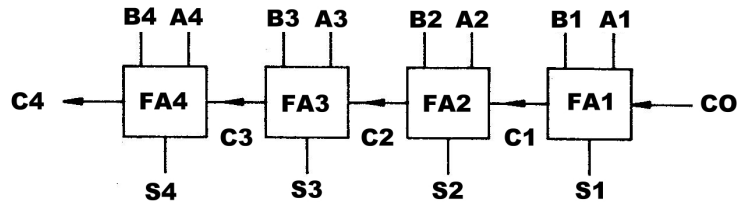


(b) Tam toplayıcı

Şekil 3-1-1 Yarım ve tam toplayıcılar

2 bitten daha uzun sayıları toplarken, toplamaları eşzamanlı olarak üretmek için, Şekil 3-1-2'de gösterilen bağlantı yada "Paralel Giriş" kullanılmalıdır.

Bununla birlikte, bir sonraki toplayıcının çıkışı ancak, bir önceki toplayıcının eldesi belli olduktan sonra kesin olarak belirlenebilir. Örneğin Şekil 3-1-2'de, FA1'in eldesi belli olmadıkça, FA2'nin toplam sonucu kesin olarak belirlenemez.



Şekil 3-1-2 4-bitlik tam toplayıcı

FA1, A1 ile B1'i topladığı zaman, S1 toplamı ve C1 eldesi elde edilir. Bu elde FA2 tarafından A2 ve B2'ye eklenerek yeni bir S2 toplamı ve C2 eldesi üretilir. Şekil 3-1-2'deki durumda, dört toplayıcının toplam sonucu aynı anda belirlenemez ve toplama işlemi gecikmeye uğrar. Bu gecikme, "Look-Ahead (Öngörülü)" toplayıcı kullanılarak ortadan kaldırılabilir.

“Look-Ahead” toplayıcılar, bir sonraki toplama işlemini gerçekleştirmek için bir önceki toplayıcıyı beklemek zorunda değildir ve böylece zamandan kazanılır. Boolean ifadesi aşağıdaki gibidir:

$$P_i = A_i \oplus B_i$$

$$G_i = A_i \cdot B_i$$

Çıkış ve elde aşağıdaki gibi ifade edilebilir:

$$S_i = P_i \oplus C_i$$

$$C_{i+1} = G_i + P_i C_i$$

G_i , "Elde Üretici" olarak adlandırılır. A_i ve B_i “1” iken, G_i “1”dir ve elde girişinden bağımsızdır.

P_i , “Elde Taşıyıcı” olarak adlandırılır ve C_i ile C_{i+1} arasındaki elde iletir.

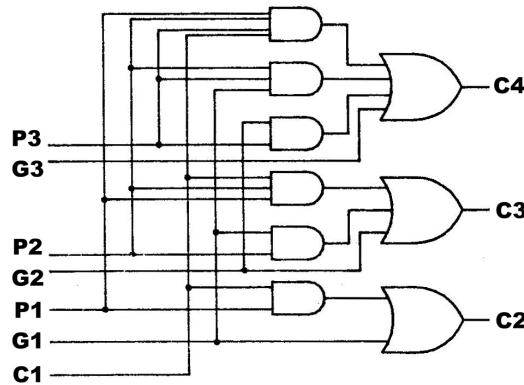
Eğer her adımın elde fonksiyonunda, bir önceki elde C_1 yerine konulursa:

$$C_2 = G_1 + P_1 C_1$$

$$C_3 = G_2 + P_2 C_2 = G_2 + P_2 G_1 + P_2 P_1 C_1$$

$$C_4 = G_3 + P_3 C_3 = G_3 + P_3 P_2 G_1 + P_3 P_2 P_1 C_1$$

Şekil 3-1-3'te, öngörülü elde üretcinin elde devresi gösterilmiştir. 74182 tümdevresi, bir TTL öngörülü elde üreticidir.



Şekil 3-1-3 Öngörülü elde üretci

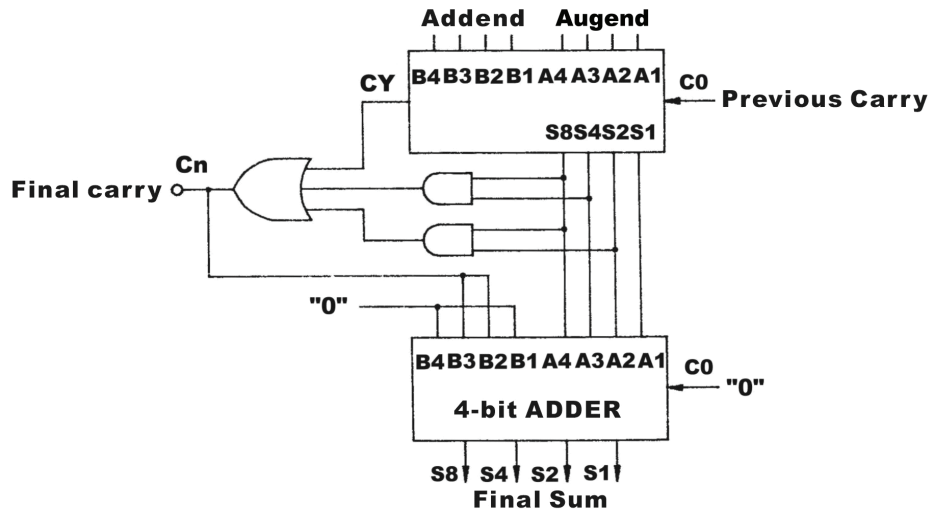
2'li toplayıcılar, BCD toplayıcılara dönüştürülebilir. 4 bitlik en büyük BCD sayı 9 ve en büyük 4-bitlik ikili sayı decimal 15 sayısına eşdeğer olduğu için, ikili toplayıcılar ile BCD toplayıcılar arasında 6 sayılık bir fark vardır. İkili toplayıcılar, BCD sayıları toplamak için kullandıklarında, aşağıdaki koşullar altında sonuca 6 sayısı eklenmelidir:

1. Elde varken
2. Toplam 9'dan büyükken

Eğer ağırlık sırası S8, S4, S2, S1 ise ve toplam 9'dan büyükse, sonuç S8S4 + S8S2'dir. Eğer elde (CY) oluşmuşsa, sonuca 6 sayısı eklenmelidir:

$$Cn = CY + S8S4 + S8S2$$

Şekil 3-1-4'te, BCD toplayıcı devresi gösterilmiştir.



Şekil 3-1-4 BCD toplayıcı

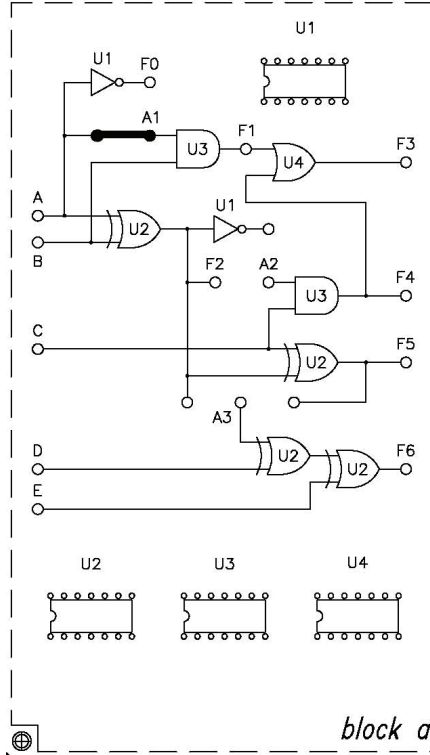
KULLANILACAK ELEMANLAR

1. KL-22001 Temel Elektrik Devreleri Deney Düzeneği
2. KL-26002 Kombinasyonel Lojik Devre Deney Modülü (2)

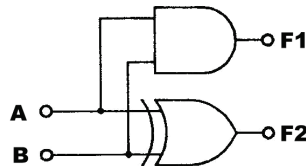
DENEYİN YAPILIŞI

A. Temel Lojik Kapılar ile Yarım ve Tam Toplayıcı Gerçekleştirilmesi

1. Şekil 3-1-5'teki bağlantı diyagramı ve Şekil 3-1-6'daki yarım toplayıcı devresi yardımıyla gerekli bağlantıları yapın. +5VDC sabit güç kaynağını, KL-26002 modülüne bağlayın.



Şekil 3-1-5 Bağlantı diyagramı (KL-26002 blok a)



Şekil 3-1-6 Yarım toplayıcı devresi

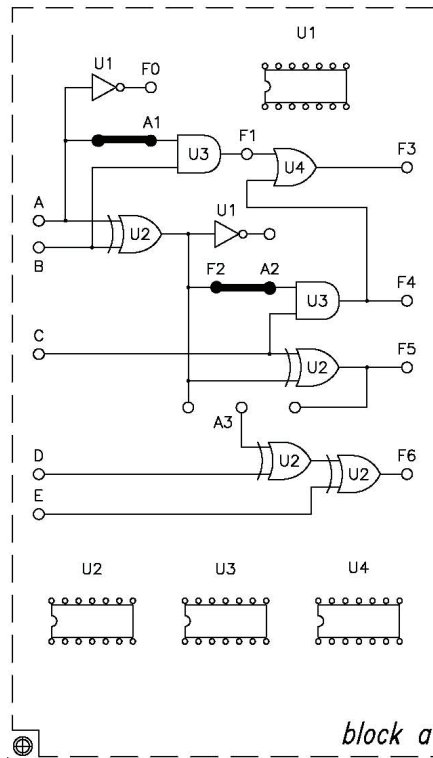
2. A ve B girişlerini sırasıyla SW0 ve SW1 veri anahtarlarına bağlayın. F1 ve F2 çıkışlarını, L1 ve L2 Lojik Göstergelerine bağlayın.

3. A ve B için, Tablo 3-1-1'deki giriş dizilerini takip edin ve çıkış durumlarını kaydedin.

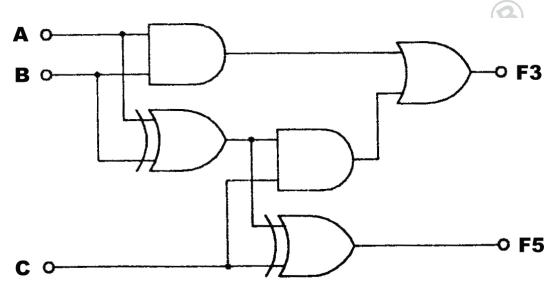
GİRİŞLER		ÇIKIŞLAR	
SW1 (B)	SW0 (A)	ELDE (F1)	TOPLAM (F2)
0	0		
0	1		
1	0		
1	1		

Tablo 3-1-1

4. Şekil 3-1-7'deki bağlantı diyagramını ve Şekil 3-1-8'deki tam toplayıcı devresi yardımıyla gerekli bağlantıları yapın.



Şekil 3-1-7 Bağlantı diyagramı (KL-26002 blok a)



Şekil 3-1-8 Tam toplayıcı devresi

5. A, B, C'yi SW0, SW1 ve SW3'e bağlayın. A girişi toplanacak sayısı, B girişi eklenen sayısı ve C girişi önceki eldeyi ifade etmektedir. F3 ve F5 çıkışlarını, L1 ve L2 Lojik Göstergelerine bağlayın.

6. Tablo 3-1-2'deki giriş dizilerini takip edin ve çıkış durumlarını kaydedin.

GİRİŞLER			ÇIKIŞLAR	
SW3 (C)	SW2 (B)	SW1 (A)	ELDE (F3)	TOPLAM (F5)
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

Tablo 3-1-2

DENEY 3-2 Yarım ve Tam Çıkarıcı Devreler

DENEYİN AMACI

1. Tümlleyen teorisini anlamak.
2. Yarım ve tam çıkarıcı devreler gerçekleştirmek.

GENEL BİLGİLER

Yarım çıkarıcı ve tam çıkarıcı devreleri, lojik kapıların doğruluk tabloları ve Boolean ifadeleri yada Karnaugh diyagramlarına bakılarak gerçekleştirilebilir. Bu deneyde, tam ve yarım-çıkarcı devrelerini düzenlemek için, tümlleyen teorisi kullanılacaktır.

2'li çıkarma işlemi genellikle 2'ye tümlleme kullanılarak gerçekleştirilir. Bir sayının 2'ye tümlyenini elde etmek için iki adım uygulanır. Birinci adımda, çıkan sayının 1'e tümlyenini alınır ("0"lar "1", "1"ler "0" yapılır). İkinci adımda ise çıkan sayının 1'e tümlyenine "1" eklenir.

Normal çıkarma işleminde, çıkan sayı, doğrudan çıkartılan sayıdan çıkarılırken, 2'ye tümlleme yönteminde, iki sayı toplanır. Böylece, bir toplayıcı, çıkarıcı olarak da kullanılabilir.

Örnek:

10 tabanında 11–10 işlemini, 2'ye tümlleme yöntemiyle gerçekleştirin.

Çıkartılan : 11 (Desimal) = 1011 (ikili)

Çıkan : 10 (Desimal) = 1010 (ikili)
= 0101 (1'e tümlyenini)
= 0110 (2'ye tümlyenini)

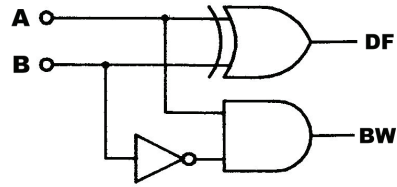
Desimal	İkili	1'e t�mleyen	2'ye t�mleyen
11	1011	1011	1011
– 10	– 1010	– 1011	+ 0110
1	1	0	10001

2'ye t mleme y ntemiyle yapılan  ıkarma i leminde, elde olarak “1”  retilir.

Yarım  ıkarıcı,  ıkarılanın  ıkandan b y k yada k   k olmasına bakmaksızın, bir anda 1-bitlik  ıkarma i lemi ger ekle t rir. Yarım  ıkarıcının do ruluk tablosu ve lojik diyagramı,  ekil 3-2-1'de g sterilmi tir. Bir  nceki  ıkarma i leminde alınan bor , yarım  ıkarıcı devresinde dikkate alınmaz.

A	B	DF	BW
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

(a) Do ruluk Tablosu



(b) Lojik diyagramı

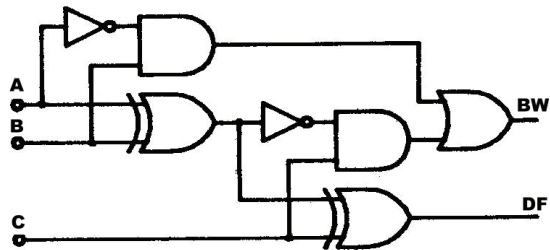
 ekil 3-2-1 Yarım  ıkarıcı

Yarım  ıkarıcının lojik diyagramı yarım toplayıcı ile kar ıla tırılırsa, tek farkın yarım  ıkarıcının giri indeki DE İL kapısı oldu u g r l r.

Tam  ıkarıcı devresi,  nceki adımlarda alınmı  bor ları dikkate almak zorundadır. Tam  ıkarıcı devresinin do ruluk tablosu ve lojik diyagramı,  ekil 3-2-2'de g sterilmi tir. C=“0” iken, tam  ıkarıcı devresi yarım  ıkarıcı devresine e de erdir.

C	A	B	DF	BW
0	0	0	0	0
0	0	1	1	1
0	1	0	1	0
0	1	1	0	0
1	0	0	1	1
1	0	1	0	1
1	1	0	0	0
1	1	1	1	1

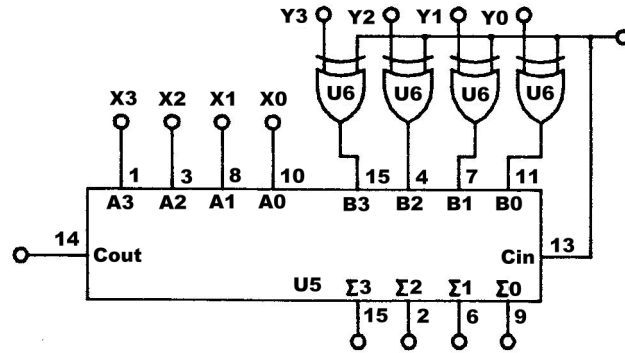
(a) Do ruluk Tablosu



(b) Lojik diyagramı

 ekil 3-2-2 Tam  ıkarıcı

4-bitlik bir toplayıcı devresi ile, 4 veya daha fazla bitlik çıkarma devreleri gerçekleştirilebilir. Şekil 3-2-3'te, çift-amaçlı bir toplayıcı/çıkarıcı devresi gösterilmiştir. $B_{n-1} = "0"$ iken, toplama işlemi gerçekleştirilir ve tüm ÖZEL VEYA kapıları tampon gibi davranır. $B_{n-1} = "1"$ iken, çıkarma işlemi gerçekleştirilir ve tüm ÖZEL VEYA kapıları DEĞİL kapısı gibi davranır. Y girişleri 1'e tümleyenini kullanır ve Cin girişindeki "1" ile toplar. Cn (elde) ve Bn (borç) çıkışları, B_{n-1} 'e bağlıdır.



Şekil 3-2-3 Toplayıcı/çıkarıcı

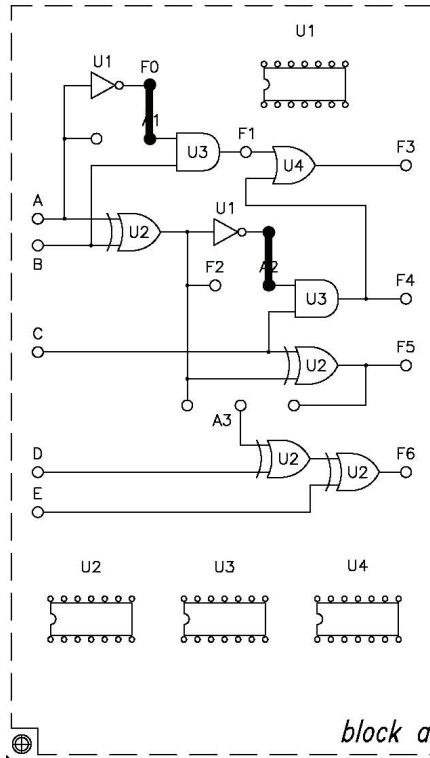
KULLANILACAK ELEMANLAR

1. KL-22001 Temel Elektrik Devreleri Deney Düzeneği
2. KL-26002 Kombinasyonel Lojik Devre Deney Modülü (2)

DENEYİN YAPILIŞI

A. Temel Lojik Kapılar ile Yarım/Tam Çıkarıcı Gerçekleştirilmesi

1. Şekil 3-2-4'teki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın. +5VDC sabit güç kaynağını, KL-26002 modülüne bağlayın.
2. A~C girişlerini SW0~SW2 veri anahtarlarına; F1, F2, F3, F5 çıkışlarını sırasıyla L1, L2, L3, L4 Lojik Göstergelerine bağlayın. C=0 iken, devre, F1 (BW1) borç çıkışı ve F2 (DF1) fark çıkışına sahip bir yarım çıkarıcıdır. C=1 iken, devre, F3 (BW2) borç çıkışı ve F5 (DF2) fark çıkışına sahip bir tam çıkarıcıdır.



Şekil 3-2-4 Yarım/Tam çıkarıcı (KL-26002 blok a)

3. Tablo 3-2-1'deki giriş dizilerini takip edin ve çıkış durumlarını kaydedin.

GİRİŞLER			BW1	DF1	BW2	DF2
C	A	B	F1	F2	F3	F5
0	0	0				
0	0	1				
0	1	0				
0	1	1				
1	0	0				
1	0	1				
1	1	0				
1	1	1				

Tablo 3-2-1

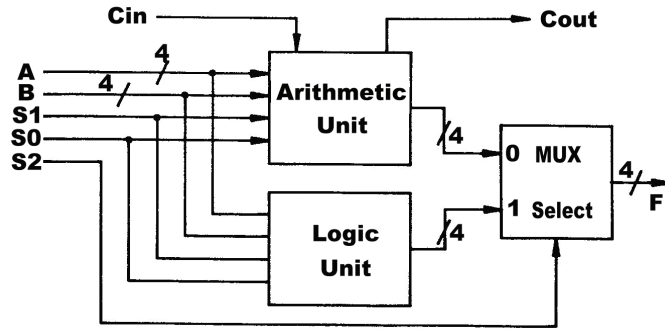
DENEY 4-1 Aritmetik Lojik Ünite Devresi

DENEYİN AMACI

1. Aritmetik lojik birimin (ALU) işlevlerini ve uygulamalarını anlamak.
2. 74181 ALU tümdevresi ile aritmetik ve lojik işlemler gerçekleştirmek.

GENEL BİLGİLER

Bu deneyde ALU kavramını tanıtmak için 74181 ALU tümdevresi kullanılacaktır. Tümdevrenin lojik diyagramı Şekil 4-1-1'de gösterilmiştir.



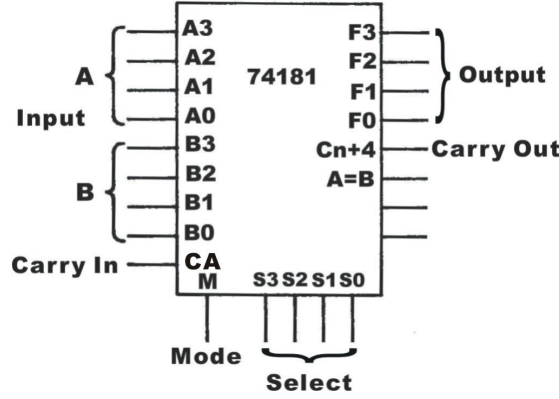
Şekil 4-1-1 ALU blok diyagramı

ALU iki ana kısımdan oluşur: aritmetik birim ve lojik birim. Aritmetik yada lojik birimin çıkışı, bir multiplexer (MUX) tarafından seçilir. S2, multiplexer'ın seçme girişidir ve bu girişin durumu ALU'nun çıkışını belirler.

S2=0 iken, aritmetik işlem gerçekleştirilir.

S2=1 iken, lojik işlem gerçekleştirilir.

74181 tümdevresinin bacak bağlantıları Şekil 4-1-2’de, fonksiyon tablosu da Tablo 4-1-1’de gösterilmiştir.



Şekil 4-1-2 74181 bacak bağlantısı

SELECTION					ACTIVE LOW DATA			ACTIVE LOW DATA		
					M=H LOGIC FUNCTIONS	M=L ARITHMETIC OPERATIONS		M=H LOGIC FUNCTIONS	M=L ARITHMETIC OPERATIONS	
S3	S2	S1	S0			Cn=L (no carry)	Cn=H (with carry)		Cn=H (no carry)	Cn=L (with carry)
L	L	L	L		$F = \bar{A}$	$F = A \text{ MINUS } 1$	$F = A$	$F = \bar{A}$	$F = A$	$F = A \text{ PLUS } 1$
L	L	L	H		$F = \bar{A}\bar{B}$	$F = AB \text{ MINUS } 1$	$F = AB$	$F = \bar{A} + \bar{B}$	$F = A + B$	$F = (A+B) \text{ PLUS } 1$
L	L	H	L		$F = \bar{A} + B$	$F = \bar{A}\bar{B} \text{ MINUS } 1$	$F = \bar{A}\bar{B}$	$F = \bar{A}\bar{B}$	$F = A + \bar{B}$	$F = (A+\bar{B}) \text{ PLUS } 1$
L	L	H	H		$F = 1$	$F = \text{MINUS } 1 \text{ (2's, COMP)}$	$F = \text{ZERO}$	$F = 0$	$F = \text{MINUS } 1 \text{ (2's COMP)}$	$F = \text{ZERO}$
L	H	L	L		$F = \bar{A} + \bar{B}$	$F = A \text{ PLUS } (A+\bar{B})$	$F = A \text{ PLUS } (A+\bar{B}) \text{ PLUS } 1$	$F = \bar{A}\bar{B}$	$F = A \text{ PLUS } \bar{A}\bar{B}$	$F = A \text{ PLUS } \bar{A}\bar{B} \text{ PLUS } 1$
L	H	L	H		$F = \bar{B}$	$F = AB \text{ PLUS } (A+\bar{B})$	$F = AB \text{ PLUS } (A+\bar{B}) \text{ PLUS } 1$	$F = \bar{B}$	$F = (A+B) \text{ PLUS } \bar{A}\bar{B}$	$F = (A+B) \text{ PLUS } \bar{A}\bar{B} \text{ PLUS } 1$
L	H	H	L		$F = \bar{A} \oplus B$	$F = A \text{ MINUS } B \text{ MINUS } 1$	$F = A \text{ MINUS } B$	$F = A \oplus B$	$F = A \text{ MINUS } B \text{ MINUS } 1$	$F = A \text{ MINUS } B$
L	H	H	H		$F = A + \bar{B}$	$F = A + \bar{B}$	$F = A + \bar{B} \text{ PLUS } 1$	$F = \bar{A}\bar{B}$	$F = \bar{A}\bar{B} \text{ MINUS } 1$	$F = \bar{A}\bar{B}$
H	L	L	L		$F = \bar{A}\bar{B}$	$F = A \text{ PLUS } (A+B)$	$F = A \text{ PLUS } (A+B) \text{ PLUS } 1$	$F = \bar{A} + B$	$F = A \text{ PLUS } AB$	$F = A \text{ PLUS } AB \text{ PLUS } 1$
H	L	L	H		$F = A \oplus B$	$F = A \text{ PLUS } B$	$F = A \text{ PLUS } B \text{ PLUS } 1$	$F = \bar{A} \oplus \bar{B}$	$F = A \text{ PLUS } B$	$F = A \text{ PLUS } B \text{ PLUS } 1$
H	L	H	L		$F = \bar{B}$	$F = \bar{A}\bar{B} \text{ PLUS } (A+B)$	$F = \bar{A}\bar{B} \text{ PLUS } (A+B) \text{ PLUS } 1$	$F = \bar{B}$	$F = (A+\bar{B}) \text{ PLUS } AB$	$F = (A+\bar{B}) \text{ PLUS } AB \text{ PLUS } 1$
H	L	H	H		$F = A + B$	$F = (A+B)$	$F = (A+B) \text{ PLUS } 1$	$F = AB$	$F = AB \text{ MINUS } 1$	$F = AB$
H	H	L	L		$F = 0$	$F = A \text{ PLUS } A$	$F = A \text{ PLUS } A \text{ PLUS } 1$	$F = 1$	$F = A \text{ PLUS } A$	$F = A \text{ PLUS } A \text{ PLUS } 1$
H	H	L	H		$F = \bar{A}\bar{B}$	$F = AB \text{ PLUS } A$	$F = AB \text{ PLUS } A \text{ PLUS } 1$	$F = A + \bar{B}$	$F = (A+B) \text{ PLUS } A$	$F = (A+B) \text{ PLUS } A \text{ PLUS } 1$
H	H	H	L		$F = AB$	$F = \bar{A}\bar{B} \text{ PLUS } A$	$F = \bar{A}\bar{B} \text{ PLUS } A \text{ PLUS } 1$	$F = A + B$	$F = (A+\bar{B}) \text{ PLUS } A$	$F = (A+\bar{B}) \text{ PLUS } A \text{ PLUS } 1$
H	H	H	H		$F = A$	$F = A$	$F = A \text{ PLUS } 1$	$F = A$	$F = A \text{ MINUS } 1$	$F = A$

Tablo 4-1-1 74181’in fonksiyon tablosu

74181, iki adet 4-bitlik A ve B girişlerin yanında, bir de elde girişine (CA) sahiptir. Elde girişinin amacı ters elde sinyalini sağlamaktır (elde varken CA=0). On altı adet lojik yada aritmetik işlemi gerçekleştirmek üzere, bir mod kontrol girişi (M) ve dört fonksiyon seçme hattı S0, S1, S2, S3 mevcuttur.

74181 tümdevresi aynı zamanda 4-bitlik bir çıkış (F3~F0); bir elde (Cn+4) çıkışı; G (üretme) ve P (yayma) çıkışlarına sahiptir. 74181’in doğruluk tablosu, Tablo 4-1-1’de verilmiştir.

“+” sembolü, lojik VEYA’yı ifade eder, “Plus” da, girişlerin toplamı demektir. 74181’in en büyük avantajı; toplama, çıkarma, öteleme gibi aritmetik işlemlerle VE, VEYA ve XOR (dışlamalı VEYA) gibi lojik işlemleri gerçekleştirebilme yeteneğidir.

Mod kontrol girişi(M) ve fonksiyon seçme hatları (S0~S3), hangi fonksiyonun gerçekleştirileceğini belirler.

74181 için mod kontrolü, aşağıdaki etmenler tarafından belirlenir:

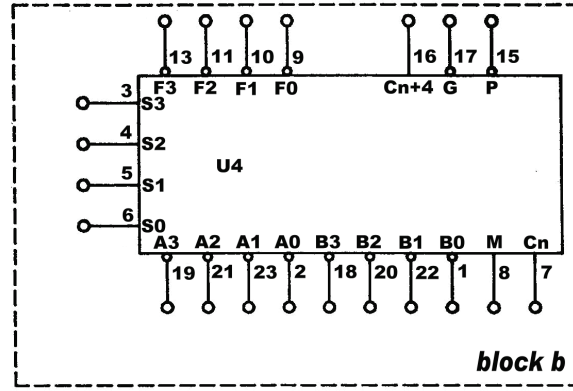
1. Toplama: Bir elde olduğunu bildirmek için, CA girişinde “0” üretilir. Aritmetik işlem sonucunda toplam 15’ten büyükse, yine CA’da “0” üretilir.
2. Çıkarma: Sonuç sıfır yada pozitifse C_{n+4} ’te “0” üretilir. Eğer CA’da “0” üretilirse, sonuç negatiftir yada ödünç alma vardır. Çıkarma işleminin sonucu negatifse (örneğin -4), 4-bitlik F çıkışı 2’ye tümleyen biçimindedir ve $C_{n+4}=1$ olur.

KULLANILACAK ELEMANLAR

1. KL-22001 Temel Elektrik Devreleri Deney Düzeneği
2. KL-26005 Kombinasyonel Lojik Devre deney Modülü (5)

DENEYİN YAPILIŞI

1. Şekil 4-1-3 yardımıyla gereken bağlantıları yapın. S0~S3 fonksiyon seçme hatlarını sırasıyla SW7~SW4 veri anahtarlarına bağlayın. M’yi, aritmetik yada lojik işlemleri seçmek üzere SW3’e bağlayın. M=“0” iken aritmetik işlemler, M=“1” iken lojik işlemler gerçekleştirilir.
2. A3~A0 girişlerini D7~D4’e, B3~B0 girişlerini D3~D0’a bağlayın. C_n ’i “0”a; F3~F0 çıkışlarını L4~L1 ve C_{n+4} ’ü L8 Lojik Göstergelerine bağlayın. A3~A0, B3~B0 girişleri ve F3~F0 çıkışları alçak aktiftir.



Şekil 4-1-3 Bağlantı diyagramı (KL-26005 blok b, U4=74181)

3. Aşağıdaki lojik fonksiyonları gerçekleştirmek için M'yi "1" yapın:

(1) $S_3S_2S_1S_0=0000$, $A_3A_2A_1A_0=0000$ ve $B_3B_2B_1B_0=1111$ iken, çıkışlar $F_3F_2F_1F_0=$ _____.

(2) $S_3S_2S_1S_0=0000$, $A_3A_2A_1A_0=1100$ ve $B_3B_2B_1B_0=1010$ iken, çıkışlar $F_3F_2F_1F_0=$ _____.

(3) $S_3S_2S_1S_0=1001$, $A_3A_2A_1A_0=1100$ ve $B_3B_2B_1B_0=0110$ iken, çıkışlar $F_3F_2F_1F_0=$ _____.

Giriş ve çıkışlar arasında, ne tür bir lojik ilişki vardır?

(4) $S_3S_2S_1S_0=1011$, $A_3A_2A_1A_0=0011$ ve $B_3B_2B_1B_0=1001$ iken, çıkışlar $F_3F_2F_1F_0=$ _____.

Giriş ve çıkışlar arasında, ne tür bir lojik ilişki vardır?

DENEY 4-2 Parity (Eşitlik Biti) Üreteç Devresi

DENEYİN AMACI

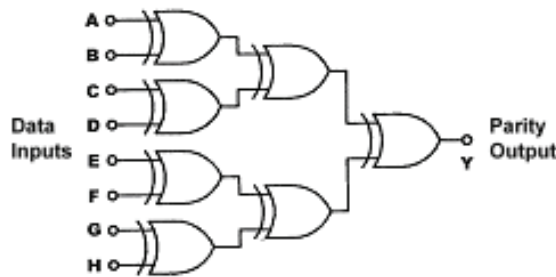
1. Parity üreteçlerinin yapısını ve uygulamalarını anlamak.
2. XOR kapıları ve parity üreteç tümdevresi kullanarak parity biti üretmek.

GENEL BİLGİLER

Parity üretici tarafından üretilen eşitlik biti, genellikle veri iletimi işleminde kullanılır. Eşitlik biti, bir referans nokta oluşturur ve iletim işlemi ile iletilen verinin hatasız olup olmadığını kontrol etmemize imkan tanır.

İki tür eşitlik biti üretici vardır: “Tek” eşitlik biti üretici, veri, çift sayıda “1” içeriyorsa “1” üretir. Örneğin “10111011” verisi, altı adet “1” içermektedir. Bu verinin sonuna eşitlik biti eklendiğinde, verideki “1”lerin sayısı “Tek” sayı olacaktır. Bu yüzden “Tek Eşitlik Biti Üreteci” olarak adlandırılır.

Diğer yandan, “Çift” eşitlik biti üretici, “1”lerin toplam sayısını çift sayı yapmak için, tek sayıda “1” içeren veriye bir adet “1” ekleyecektir. Eğer veri zaten çift sayıda “1” içeriyorsa, eşitlik biti üretilmez. Şekil 4-2-1’de gösterilen “Çift” eşitlik bit üreticinin Y çıkışı, ABCDEFGH girişleri 10111011 ise, “0” olur.



Şekil 4-2-1 Çift eşitlik biti üretici devresi

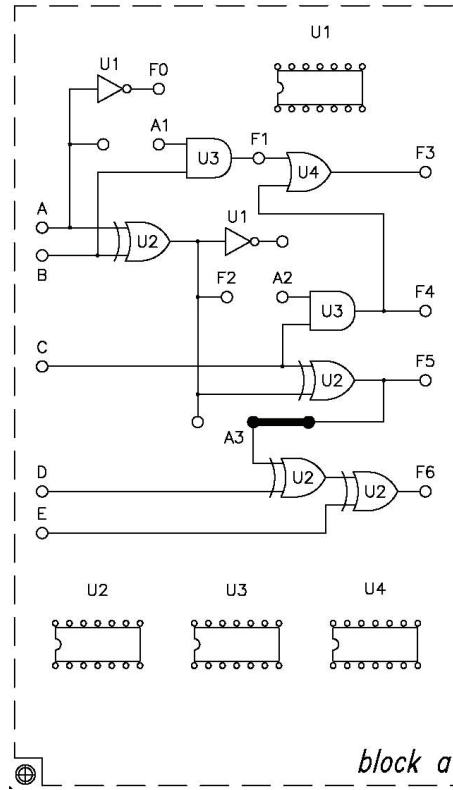
KULLANILACAK ELEMANLAR

1. KL-22001 Temel Elektrik Devreleri Deney Düzeneđi
2. KL-26002 Kombinasyonel Lojik Devre deney Modülü (2)
3. KL-26005 Kombinasyonel Lojik Devre deney Modülü (5)

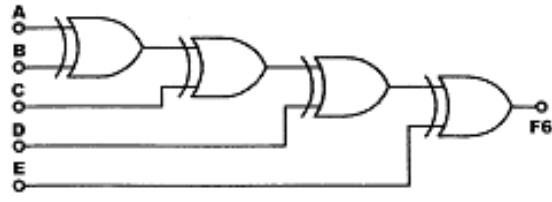
DENEYİN YAPILIŞI

A. XOR Kapılarıyla Gerçekleştirilen Parity Üretici

1. Şekil 4-2-2'deki bağlantı diyagramı ve Şekil 4-2-3'teki çift eşitlik biti üretici devresi yardımıyla gerekli bağlantıları yapın. +5VDC sabit güç kaynağını, KL-26002 modülüne bağlayın.



Şekil 4-2-2 Bağlantı diyagramı (KL-26002 blok a)



Şekil 4-2-3 Çift eşitlik biti üretici devresi

2. A,B,C,D,E girişlerini, SW0~SW4 veri anahtarlarına ve F6 çıkışını L1 Lojik Göstergesine bağlayın. Tablo 4-2-1'deki giriş dizilerini takip edin ve çıktıları kaydedin.

GİRİŞLER					ÇIKIŞLAR
E	D	C	B	A	F6
0	0	0	0	0	
0	0	0	1	0	
0	0	0	1	1	
0	0	1	0	0	
0	0	1	0	1	
0	1	1	1	0	
1	1	0	0	0	
1	1	0	1	0	
1	1	1	1	0	
1	1	1	1	1	

Tablo 4-2-1

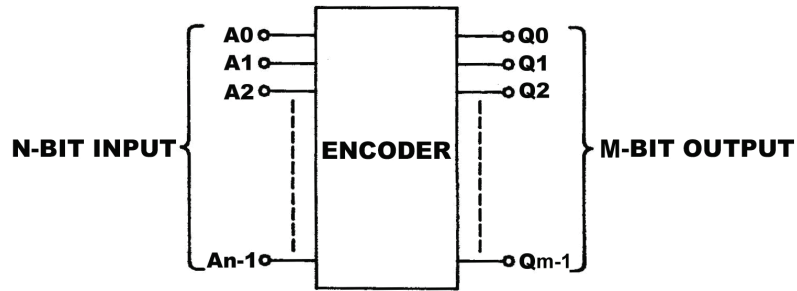
DENEY 5-1 Kodlayıcı Devreler

DENEYİN AMACI

1. Kodlayıcı devrelerin çalışma prensibini anlamak.
2. Temel kapılar ve IC kullanarak kodlayıcı gerçekleştirmek

GENEL BİLGİLER

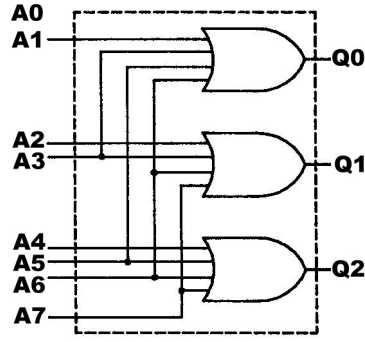
Kodlayıcı, bir yada daha fazla girişi alıp, belirli bir çıkış kodu üreten kombinasyonel bir lojik devredir. Bir anda sadece bir giriş tetiklenir. Şekil 5-1-1'de, n-bit girişli ve m-bit çıkışlı bir kodlayıcı gösterilmiştir. Girişlerden birisi tetiklendiği zaman, çıkışlarda m-bitlik bir çıkış kodu üretilecektir.



Şekil 5-1-1 NxM kodlayıcı

Sekizliği-İkiliye Kodlayıcı

Sekizliği-ikiliye kodlayıcı, Şekil 5-1-2'de gösterilmiştir. Kodlayıcı, 8 adet oktal girişe A1~A7 (0~7) ve üç adet ikili çıkışa Q0, Q1, Q2 (000~111) sahiptir. A0 girişi "0" iken, buna karşılık gelen Q2Q1Q0 çıkışı "000" değerine eşittir.

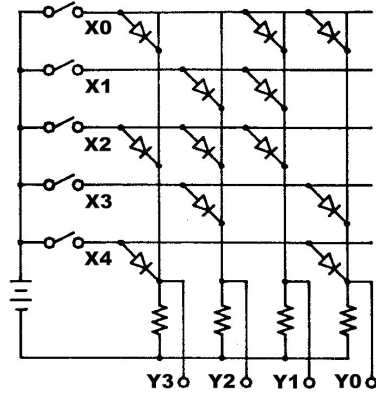


Şekil 5-1-2 Sekizliği-ikiliye kodlayıcı

Gerçekte A0 girişi, kapı girişine bağlanmamıştır. A1="1" iken, çıkış $Q_2Q_1Q_0=001$, A2="1" iken çıkış $Q_2Q_1Q_0=010$ olur. Girişler arasında birden fazla "1" değeri bulunamaz. Örneğin, aynı anda A2="1" ve A3="1" olursa, $Q_2Q_1Q_0=011$ olur. A3 ve A4 aynı anda "1" olursa, $Q_2Q_1Q_0=111$ olur. Bu çıkışların ikisi de doğru değildir.

Matris Kodlayıcı

Eğer istenen özellikleri sağlayan bir kodlayıcı ticari olarak mevcut değilse, diyotlar kullanılarak istenilen özelliklerde bir kodlayıcı gerçekleştirilebilir. Şekil 5-1-3'te, diyotlarla gerçekleştirilmiş basit bir matris kodlayıcı gösterilmiştir.



Şekil 5-1-3 Matris kodlayıcı

Bir anda, X0~X4 girişlerinin sadece biri tetiklenebilir. X0="1" iken, $Y_3Y_2Y_1Y_0= "1011"$, X1="1" iken $Y_3Y_2Y_1Y_0="0110"$ olur.

Dijital devrelerde bazen, çeşitli giriş sinyallerini öncelik sırasına göre işlemek gerekebilir. Böyle devrelerde, "Öncelikli Kodlayıcı" olarak adlandırılan ve girişleri öncelik sırasına göre işleyen, özel bir kodlayıcı türü kullanılmalıdır. Yüksek önceliğe sahip bir giriş kapısı aktifken, düşük öncelikli girişlerin durumu dikkate alınmaz, yüksek öncelikli girişe karşılık gelen çıkış değeri geçerli olur.

74147, bir 10x4 BCD öncelikli kodlayıcıdır. Giriş önceliği artan sıradadır, yani 1 no.lu giriş en düşük önceliğe, 9 nolu giriş en yüksek önceliğe sahiptir. Çıkışlar, BCD kodundadır. 74147, 10x4 desimalden-BCD'ye öncelik kodlayıcı tümdevresi için fonksiyon tablosu, Tablo 5-1-1de verilmiştir. Kodlayıcı, dokuz veri hattını, 4 hat BCD'ye dönüştürür. Tüm dokuz veri hattının yüksek seviyede olması, giriş olmaması yada girişin desimal sıfır olmasına karşılık olarak, sıfır olarak kodlanır.

GİRİŞLER									ÇIKIŞLAR			
1	2	3	4	5	6	7	8	9	D	B	C	A
H	H	H	H	H	H	H	H	H	H	H	H	H
x	x	x	x	x	x	x	x	L	L	H	H	L
x	x	x	x	x	x	x	L	H	L	H	H	H
x	x	x	x	x	x	L	H	H	H	L	L	L
x	x	x	x	x	L	H	H	H	H	L	L	H
x	x	x	x	L	H	H	H	H	H	L	H	L
x	x	x	L	H	H	H	H	H	H	L	H	H
x	x	L	H	H	H	H	H	H	H	H	L	L
x	L	H	H	H	H	H	H	H	H	H	L	H
L	H	H	H	H	H	H	H	H	H	H	H	L

Tablo 5-1-1 74147 fonksiyon tablosu

74147'nin hem giriş hem çıkışları alçak aktiftir. 1~9 girişlerinin tümü yüksek durumdayken, çıkış DCBA="HHHH" olur. 2 ve 5 girişi aynı anda aktifken, çıkış, daha yüksek önceliğe sahip olan 5 girişi tarafından belirlenir. 2, 5 ve 7 girişleri aynı anda aktifken, çıkışı, 7 girişi belirler.

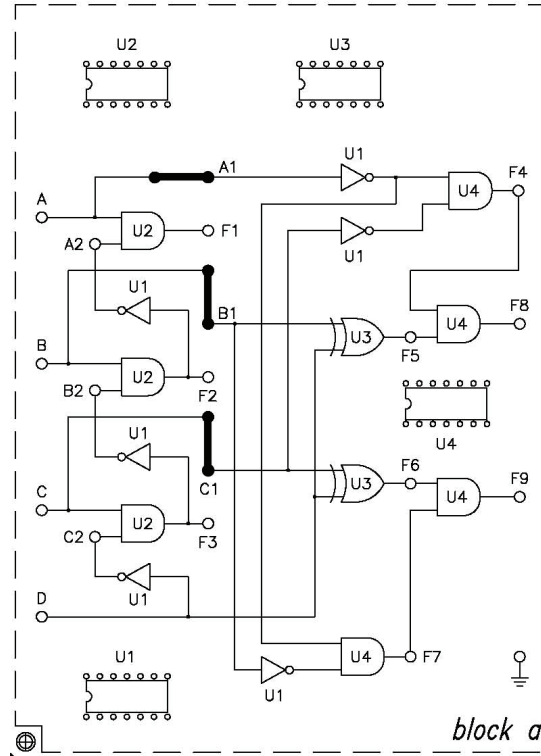
KULLANILACAK ELEMANLAR

1. KL-22001 Temel Elektrik Devreleri Deney Düzeneği
2. KL-26003 Kombinasyonel Lojik Devre Deney Modülü (3)
3. KL-26004 Kombinasyonel Lojik Devre Deney Modülü (4)

DENEYİN YAPILIŞI

A. Temel Kapılar ile 4x2 Kodlayıcı Gerçekleştirilmesi

1. Şekil 5-1-4'deki bağlantı diyagramı yardımıyla gerekli bağlantıları yapın.



Şekil 5-1-4 Bağlantı diyagramı (KL-26003 blok a)

2. +5VDC sabit güç kaynağını, KL-26003 modülüne bağlayın.
3. A~D girişlerini SW0~SW3 veri anahtarlarına, F8 ve F9 çıkışlarını L0 ve L1 Lojik Göstergelerine bağlayın.
4. D, C, B, A için Tablo 5-1-2'deki giriş dizilerini takip edin ve çıkış durumlarını kaydedin.

D	C	B	A	F9	F8
0	0	0	0		
0	0	0	1		
0	0	1	0		
0	0	1	1		
0	1	0	0		
0	1	0	1		
0	1	1	0		
0	1	1	1		
1	0	0	0		
1	0	0	1		
1	0	1	0		
1	0	1	1		
1	1	0	0		
1	1	0	1		
1	1	1	1		

Tablo 5-1-2

DENEY 5-2 Kod Çözücü Devreler

DENEYİN AMACI

1. Kod çözücü devrelerin çalışma prensibini anlamak.
2. Temel kapılar ve IC kullanarak kod çözücü gerçekleştirmek.

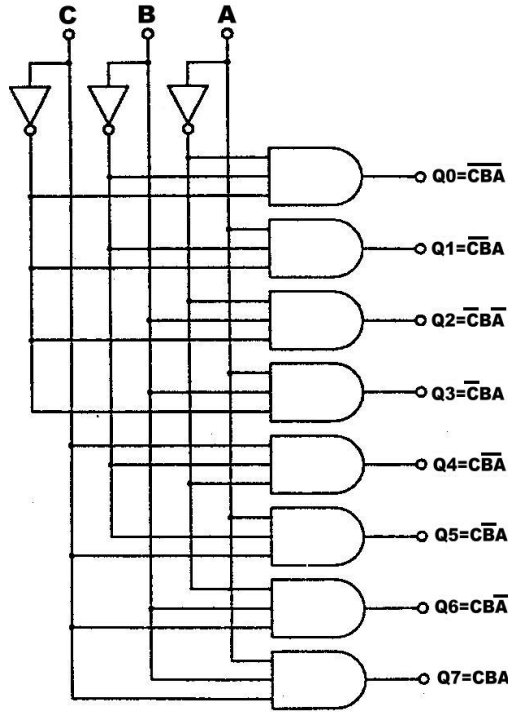
GENEL BİLGİLER

Kod çözücü, belirli bir ikili sayı yada kelimenin varlığını belirlemek için kullanılan lojik bir devredir. Kod çözücünün girişi paralel ikili sayıdır ve çıkışı, özel bir sayının bulunup bulunmadığını gösteren ikili sinyaldir.

VE kapısı, sadece tüm girişleri “1” iken “1” çıkışına sahip olduğu için, temel bir kod çözücü olarak kullanılabilir. VE kapısı girişlerinin veriye uygun şekilde bağlanmasıyla, bütün ikili sayıların belirlenmesi sağlanabilir.

İkiliden-Sekizliye Kod Çözücü

İkiliden-sekizliye kod çözücü, Şekil 5-2-1'de gösterilmiştir. Üç ikili girişe (A, B,C) ve 8 adet sekizli çıkışa (Q0~Q8) sahiptir. CBA="010" iken çıkış Q2="1" olur. CBA="111" iken, çıkış Q7="1" olur.



Şekil 5-2-1 İkilden-Sekizliye kod çözücü

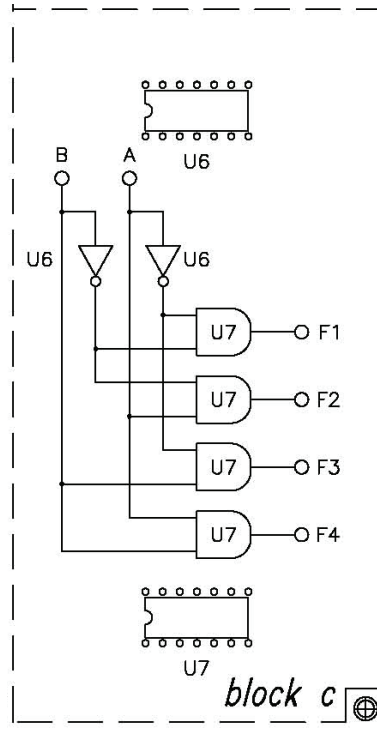
KULLANILACAK ELEMANLAR

1. KL-22001 Temel Elektrik Devreleri Deney Düzeneği
2. KL-26002 Kombinasyonel Lojik Devre Deney Modülü (2)
3. KL-26003 Kombinasyonel Lojik Devre Deney Modülü (3)
4. Multimetre

DENEYİN YAPILIŞI

A. Temel Kapılar ile 2x4 Kod Çözücü Gerçekleştirilmesi

1. Şekil 5-2-2 yardımıyla gereken bağlantıları yapın. +5VDC sabit güç kaynağını, KL-26003 modülüne bağlayın.



Şekil 5-2-2 Bağlantı diyagramı (KL-26003 blok c)

2. A ve B girişlerini, SW0 ve SW1 veri anahtarlarına, F1~F4 çıkışlarını L0~L3 Lojik Göstergelerine bağlayın.
3. A ve B için, Tablo 5-2-1'deki giriş dizilerini takip edin ve çıkışları kaydedin.

B	A	F1	F2	F3	F4
0	0				
0	1				
1	0				
1	1				

Tablo 5-2-1

DENEY 6-1 Multiplexer Devreleri

DENEYİN AMACI

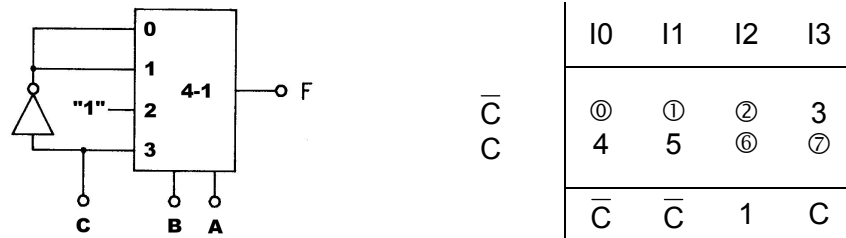
1. Multiplexer'in çalışma prensiplerini anlamak.
2. Lojik kapıları ve TTL tümdevre kullanarak multiplexer gerçekleştirmek.

GENEL BİLGİLER

Multiplexer (MUX), çok sayıda girişten birini seçip çıkışa gönderen lojik bir devredir. Çoklu girişlerden biri, seçme girişleri tarafından seçilir ve tek çıkışa gönderilir. Seçme girişlerinin sayısı multiplexer'ın kapasitesini belirler. Örneğin tek seçme girişine sahip multiplexer, "2'den 1'e multiplexer" olarak adlandırılır ve bir seçme girişi, sadece iki giriş arasında seçim yapabilir.

Üç seçme girişli bir MUX, 3 seçme girişi, 8 girişten ($2^3=8$) bir çıkış seçebileceği için, "8'den 1'e multiplexer" olarak adlandırılır. MUX, bir çok giriş arasından bir çıkış seçtiği için, aynı zamanda "Veri Seçici" olarak da adlandırılır.

$F(CBA) = \Sigma(0, 1, 2, 6, 7)$ gibi lojik fonksiyonlar, multiplexer kullanılarak kolaylıkla gerçekleştirilebilir. F fonksiyonu, 0, 1, 2, 6, 7 durumlarından, $C\bar{B} + CB + C\bar{A}$ çarpımlar toplamı ifadesini üretir. Şekil 6-1-1'deki 4'ten 1'e MUX kullanılarak, çıkış, A, B seçme girişleri ve C tarafından belirlenir. CBA=000, 001, 010, 110, 111 olduğunda F çıkışı "1", diğer durumlarda ise "0" olur.



Şekil 6-1-1 İki NOT kapısı ile oluşturulan RS mandal (latch)

C	B	A	F3
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

Tablo 6-1-1

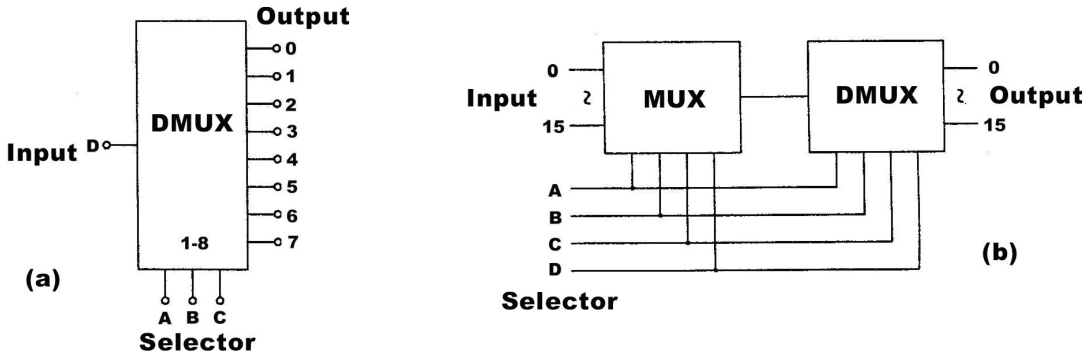
DENEY 6-2 Demultiplexer Devreleri

DENEYİN AMACI

1. Demultiplexer devrelerinin çalışma prensiplerini anlamak.
2. CMOS tümdevreleri ve lojik kapıları kullanarak demultiplexer elde etmek.

GENEL BİLGİLER

Demultiplexer (DMUX), temelde multiplexer'ın tam tersi bir lojik devredir. DMUX, tek girişe ve birden çok çıkışa sahiptir. Giriş, seçme girişleri sayesinde, çoklu çıkışlardan birine bağlanır. Demultiplexer, "Veri Dağıtıcı" veya "Veri Yönlendirici" olarak da adlandırılır.



Şekil 6-2-1 Demultiplexer

Üç seçme girişi A, B ve C düşük seviye durumundayken (CBA=000), D girişindeki veri 0 numaralı çıkışa gönderilir. CBA=010 iken, giriş 2 numaralı çıkışa gönderilir. Seçme girişlerinin ortak durumu, çıkış verisinin konumunu belirler. CBA=111 iken, giriş son çıkışa (7 numaralı) gönderilir. Multiplexer ve demultiplexer birleştirilerek, iletim hatlarının verimliliğini arttıran, uzun mesafe iletim sistemleri kurulabilir. Şekil 5-2-1(b)'de, 16 giriş, 16 çıkış ve 4 seçme girişli bir MUX-DMUX kombinasyon devresi gösterilmiştir.

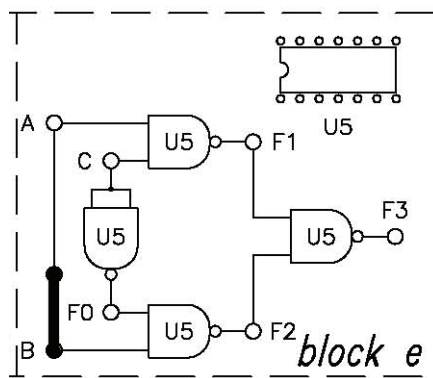
KULLANILACAK ELEMANLAR

1. KL-22001 Temel Elektrik Devreleri Deney Düzeneği
2. KL-26004 Kombinasyonel Lojik Devre deney Modülü (4)

DENEYİN YAPILIŞI

A. Lojik Kapılar ile 2'den 1'e Multiplexer Gerçekleştirmek

1. Şekil 6-2-2 yardımıyla gereken bağlantıları yapın. +5VDC sabit güç kaynağını, KL-26004 modülüne bağlayın.



Şekil 6-2-2 Bağlantı diyagramı (KL-26004 blok e)

2. A girişini, SW0 veri anahtarına; C seçme girişini SW3 anahtarına bağlayın. F1 ve F2'yi sırasıyla, L0 ve L1 Lojik Göstergelerine bağlayın.
3. C'yi 0'a getirin ve A'yı değiştirerek F1 ve F2 çıkışlarını gözleyin. _____
4. C'yi 1'e getirin ve A'yı değiştirerek F1 ve F2 çıkışlarını gözleyin. _____